

DISEÑO DE CIRCUITOS EN MICROELECTRÓNICA

Aróztegui Walter J., Sede Nahuel, Serrangeli Juan Lucas Serrangeli, Zubillaga Marcial
Agostini, Ricci Edgardo Nicolás, Rapallini José A.

UIDET de Técnicas Analógico-Digitales [CeTAD] - 116 y 48 - 2do piso - Departamento de
Electrotecnia – Facultad de Ingeniería – UNLP y Centro Asociado CIC – Prov. de Bs. As.
walter.aroztegui@ing.unlp.edu.ar, josrap@gmail.com

INTRODUCCIÓN

El presente artículo se enmarca en el proyecto “Microtecnologías y nuevos recursos de sistemas digitales”, acreditado por la UNLP y el cual se desarrolla en la UIDET – CeTAD, tiene como objetivo exponer el proceso de diseño, síntesis, fabricación y prueba de circuitos microelectrónicos. En primer lugar, se presenta una breve descripción de la microelectrónica digital. Luego, la creación de una biblioteca propia de celdas básicas, con el diseño de compuertas lógicas y de algunos circuitos simples a partir de transistores MOSFET y una lógica CMOS. Todo esto se realiza utilizando herramientas de software incluidas en la suite Tanner EDA, con las cuales se realizan tanto esquemático y layout como las simulaciones necesarias. Por otra parte, para comprender mejor el funcionamiento de este tipo de circuitos, se realiza un estudio más profundo de las capacidades parásitas presentes y de tiempos característicos de las celdas más elementales. A continuación, se muestra el desarrollo de dos circuitos de mayor complejidad, realizados utilizando dos métodos de diseño de microcircuitos diferentes: un detector de secuencia programable usando de celdas estándar, y un conversor analógico-digital (ADC) del tipo doble rampa hecho con una técnica full custom. Por último, se presentan conclusiones del trabajo realizado.

Diseño de microelectrónica digital y bibliotecas de celdas básicas.

El diseño físico [1], [2], [3], [4], [5] comienza con la elección de la tecnología. Esta decisión define todas las reglas de diseño que usaremos y los costos de fabricación. La tecnología se caracteriza principalmente por el ancho de canal de transistor mínimo que permite construir. Esta dimensión y las diferentes limitaciones para cumplir son estrictamente definidas por cada fabricante, puesto que dependen de sus procesos de fabricación. Los tamaños convencionales son 28, 40, 65, 90, 130, 180, 350 y 500 nanómetros con transistores MOSFET y una lógica CMOS. Para la realización de los diferentes diseños, se utilizó una tecnología de 500 nanómetros, siguiendo las reglas de diseño del proceso AMI 0.5 del fabricante. Esta elección se debe a la existencia de un programa educativo del servicio MOSIS de la Universidad del Sur de California, el cual a través de convenios con diversos fabricantes pone estas reglas a disposición de estudiantes y universidades, e incluso facilita la fabricación gratuita de algunos diseños.

Una vez definida la tecnología se realiza la planificación (floorplaning). Es esencial determinar si el diseño propuesto entraría en el área del chip destinada y poder estimar la densidad de conectores, por lo que en esta etapa se estima el área de los mayores componentes y su ubicación en el mismo. Es importante realizar una evaluación inicial tan pronto como la lógica esté medianamente definida, puesto que las limitaciones de espacio pueden hacer que sea necesario realizar cambios en la lógica (y las microarquitecturas). Se trata de un proceso que requiere retroalimentación, la cual produce usualmente variaciones en el planteamiento inicial. Cuando se planifica un diseño complejo, es muy útil realizar una subdivisión jerárquica en bloques y unidades.

La dificultad del planeamiento está en hacer una buena estimación de las áreas de cada unidad sin entrar en el diseño detallado de la misma. Éstos deben tener unas dimensiones previamente determinadas, para poder luego unir los necesarios y armar las conexiones requeridas para los circuitos. Cuando se trabaja en un diseño totalmente personalizado, en cambio, se generan todas las compuertas como un todo, consiguiéndose un diseño mucho más complejo, pero más optimizado.

Los diseños presentados en este trabajo se realizan combinando ambos estilos.

Teniendo en cuenta las reglas básicas de diseño en microelectrónica son establecidas por cada fabricante dependiendo de sus procesos de producción, se pueden generalizar en los siguientes pasos: 1. Cantidad de capas de metal. 2. Cantidad de capas de polisilicio. 3. Capas para dopar las zonas. 4. Materiales de alta resistencia, capacidad e inductancia. 5. Distancias mínimas de colocación de materiales.

Para realizar los diseños, teniendo en cuenta las herramientas accesibles y asiendo hincapié en la formación de conocimientos se realiza un flujo de diseño propio utilizando herramientas de software incluidas en la suite Tanner EDA, con las cuales se realizan tanto esquemático y layout como las simulaciones necesarias [6]

Los pasos realizados son: 1. Generación del diseño esquemático del circuito en el programa S-Edit. 2. Simulación de dicho esquemático en el mismo programa. 3. Diseño del Layout del circuito en el programa L-Edit. 4. Chequeo de reglas de diseño. 5. Verificación de correspondencia entre el esquemático y el Layout en la herramienta LVS.

Cada paso es recursivo, es decir, se realiza una y se avanza al siguiente paso solo si se logra lo esperado. Caso contrario, debe repetirse.

A partir de estas reglas se plantearon los diseños de celdas más básicas: Inversor, Compuerta NAND, Compuerta OR, Compuertas AND y OR, Multiplexor, Transistores de paso y compuertas de transmisión, Tri-estados y Circuitos secuenciales

Se presenta, a modo de ejemplo, en la [Fig. 1], uno de los diseños realizados y su correspondiente simulación. [Fig. 2]

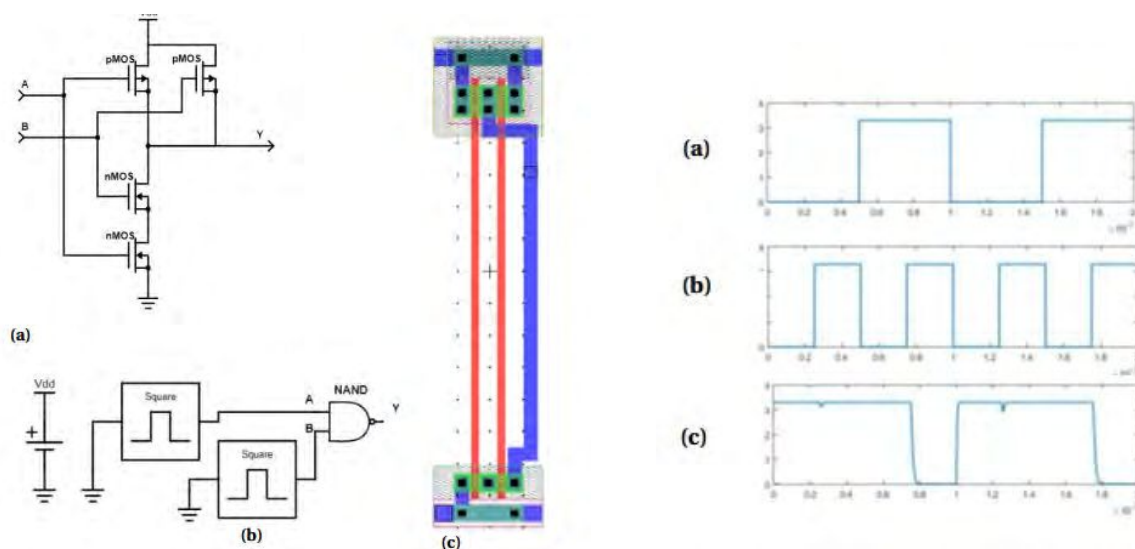


Figura 1 a) Esquemático compuerta NAND. b) Prueba de la compuerta NAND c) Layout compuerta NAND

Figura 2 Resultados de simulación. a) Entrada A. b) Entrada B. c) Salida Y

Estudio de las capacidades parásitas y tiempos característicos de las celdas más elementales para su utilización en diseños iniciales.

Para caracterizar el uso en un diseño con este tipo de circuitos, se realizan estimaciones de tiempos de subida y bajada y tiempos de propagación de una compuerta inversora diseñada en tecnología CMOS de 500 nm sin carga, permitiendo determinar el orden de frecuencias que puede ser utilizado el dispositivo diseñado con cálculos muy sencillos [7]. Los parámetros de diseño tenidos en cuenta por esta simulación fueron el largo y ancho del canal y el ancho y área de drain y source. [Tabla I]

TABLA I PARÁMETROS DE DISEÑO

Parámetro	Símbolo	NMOS	PMOS
Longitud de canal	L	0,6 μm	0,6 μm
Longitud de drain	L_D	1,65 μm	1,65 μm
Ancho de canal	W	1,8 μm	3 μm

TABLA II COMPARACION DE TIEMPOS

Parametro	Analítico	Simulado
t_{dHL}	13,2 ps	62,0 ps
t_{dLH}	26,1 ps	62,8 ps
t_r	41,9 ps	74,5 ps
t_f	82,8 ps	91,0 ps

La simulación comparativa se realizó entre el modelo nivel 49 BSIM 3v3 del transistor MOSFET, que utiliza cerca de 200 parámetros relacionados con dicha tecnología y la propuesta de simplificación del análisis realizado en la propuesta que utiliza solamente 26 parámetros.

Realizados los cálculos se ve la relación de compromiso entre la complejidad en la determinación de los tiempos analíticos y el análisis rápido propuesto, permitiendo dar el orden de frecuencias a utilizarse en los dispositivos con una simple simulación en SPICE [8] [Tabla II].

Desarrollo de circuitos de mayor complejidad:

Se muestra el desarrollo de dos circuitos de mayor complejidad, realizados utilizando dos métodos de diseño de microcircuitos diferentes.

Detector de secuencia programable usando de celdas estándar [9]

Las características del detector es la siguiente: En base a una entrada de datos en serie, el usuario podrá programar según convenga, la búsqueda de una secuencia de 4 bits cualesquiera, y el circuito se encargará de avisar (dando una señal en la salida de "1" digital) cuando encuentra dicha secuencia. Este aviso de detección de correspondencia se presentará en alto únicamente por un ciclo de Clock, luego del mismo se procederá nuevamente a la búsqueda de la secuencia seleccionada, no permitiendo en este caso el solapamiento de bits.

Para la resolución de este problema se procede a la síntesis de una máquina de estados finitos (MEF), donde, como es conocido existen dos tipos de planteo posibles, Moore y Mealy [10][11][12]. Este tipo de dispositivo requiere tanto de compuertas lógicas como de elementos de memoria (flip-flops) y de una entrada de Clock.

La diferencia entre estos dos tipos de máquina es que la salida del circuito, llamémosle Z, en el primer caso es una función lógica que depende solamente de los estados de los flip-flops, mientras que en el modelo de Mealy, la salida depende tanto de los estados de los flip-flops, como de los datos de entrada.

Diseño del LAYOUT [Fig. 3]

Se procedió a plantear el diseño global, utilizándose una tecnología de 0,5 nm y se acordó separar la máquina en 3 partes principales. Esto disminuyó de manera significativa el tamaño del pitch, permitiendo trabajar con división de las conexiones. En el caso que no se hubiera separado, esto habría implicado ampliar el pitch hasta que se tenga por lo menos 24 conexiones sin contar las intracompuertas [1][4][5]. Separando los flip-flop utilizamos un pitch que contenga 15 conexiones.

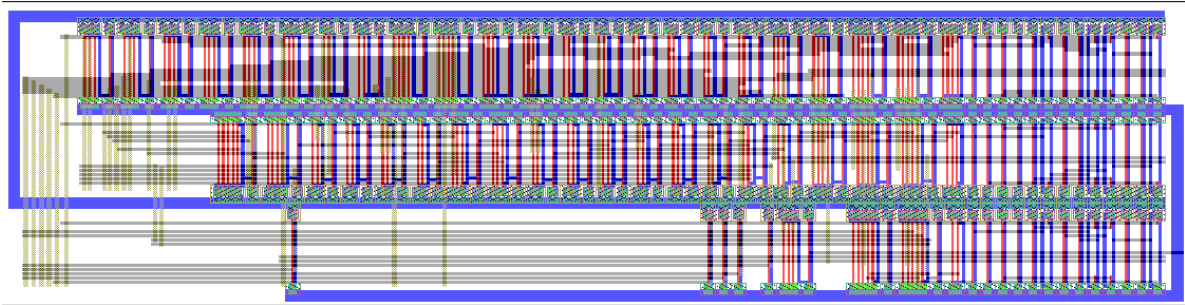


Figura 3. Layout del DDS

Convertor analógico-digital (ADC) del tipo doble rampa hecho con una técnica full custom [13]

La creación del layout de este dispositivo fue elaborado abordando las partes principales del mismo con una técnica full custom. Comprende el diseño con esta técnica de las etapas de muestreo y retención (Sample and Hold o S&H) y generador de rampa de un convertor analógico digital (ADC) del tipo doble rampa, utilizando y adaptando para ello un amplificador operacional diseñado previamente [14]. Se incluyen también la lógica de control y el contador necesarios para completar el convertor.

El tipo de convertor considerado basa su funcionamiento en la integración (carga de un capacitor) de una tensión desconocida mediante una rampa durante un tiempo fijo. Una vez finalizado dicho periodo se descarga al capacitor (con un nivel constante) y se mide el tiempo que demora en hacerlo mediante una lógica digital junto con el correspondiente circuito de control. El tiempo de descarga junto con el tiempo de carga serán los parámetros que nos darán el resultado para luego cuantizarlo. En [Fig. 4] se puede apreciar un diagrama en bloques del circuito propuesto.

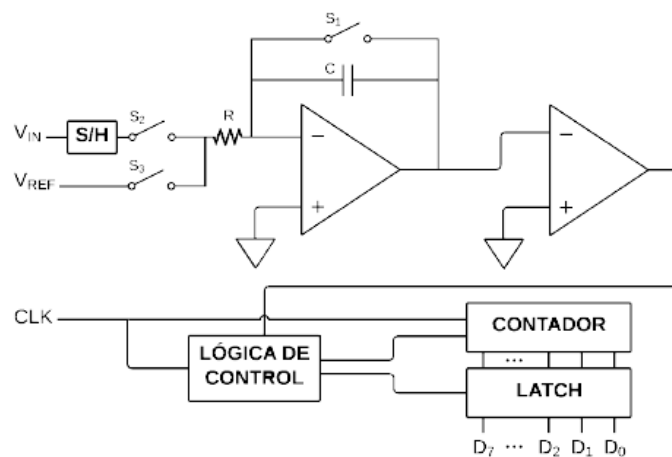


Figura 4. Diagrama en bloques de ADC doble rampa propuesto.

Para realizar lo planteado, se efectuó el análisis del funcionamiento de cada etapa y de este tipo de convertidores. Posteriormente mediante la utilización de herramientas de diseño y simulación se verificó el desempeño y, finalmente, se realizó el layout correspondiente [Fig. 5].

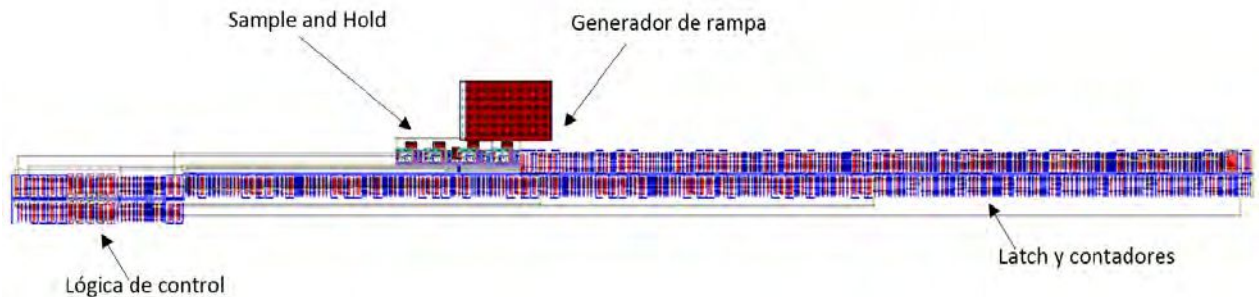


Figura 5 Layout del ADC completo

RESULTADOS

Se observa en las simulaciones realizadas en cada caso, se ajustan correctamente en lo referido al tipo de forma de onda esperada. También se realizaron mediciones de los tiempos necesarios al excitar el sistema con diferentes niveles de tensión. Se aprecia que existe una relación lineal entre los niveles de tensión y dichos tiempos, lo que aportará simplicidad a la hora de interpretar y utilizar los valores digitales obtenidos. [Fig. 6]

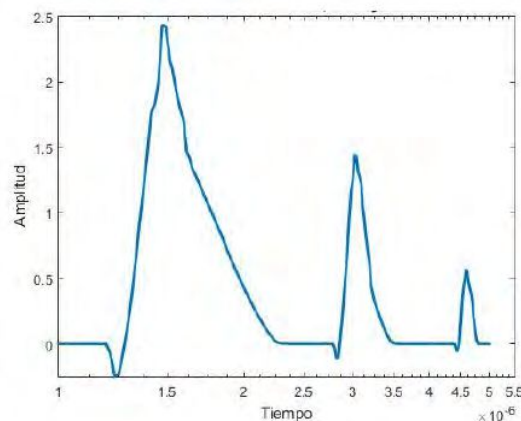


Figura 6. Simulación del generador de rampa con distintas tensiones.

Para concluir, se observa también que la técnica presentada permite una mayor optimización en el uso del espacio, lo cual puede ser muy importante cuando se busca reducir las dimensiones del circuito. Como desventaja, se aprecia una mayor complejidad para el diseño, lo cual inevitablemente obliga a una mayor dedicación de tiempo.

Es necesario mencionar que, como se dijo previamente y como se observa al mirar el diseño completo, las únicas etapas en las que se realizó una optimización en el uso del espacio son las de muestreo y retención y generación de rampa, ya que son de una complejidad adecuada para su uso. Si el objetivo es realizar un convertidor de tamaño mínimo, habría que realizarlo con el resto del circuito.

CONCLUSIONES.

Este trabajo permite un recorrido en el diseño de circuitos de complejidad creciente en microelectrónica, profundizando en los diferentes temas necesarios para su elaboración. Uno de los objetivos que, lamentablemente no se pudo cumplir hasta el momento, fue el de terminar este trabajo con alguno de los diseños fabricado. El convenio entre nuestra universidad y MOSIS (Servicio de la Universidad del Sur de California, EEUU) a través del cual se podría lograr una fabricación gratuita, está a la firma de las autoridades de la FI y UNLP. Esto impidió realizar las pruebas post-fabricación,

BIBLIOGRAFÍA

- [1] P. Julian (2015) *Circuitos Integrados Digitales CMOS. Análisis y Diseño*. Alfaomega.
 - [2] Y. Tsividis (2010) *Operation and Modeling of the CMOS Transistor, 2nd. edition*. McGraw-Hill.
 - [3] Y. Cheng, M. Chan, K. Hui, M. Jeng, Z. Liu, J. Huang, K. Chen, J. Chen, R. Tu, P. Ko, C. Hu (1995) *BSIM3v3 Manual. Final Version*.
 - [4] R. Baker (2010) *CMOS, Circuit Design, Layout and Simulation, 3rd edition*. Wiley-IEEE Press.
 - [5] B. Razavi (2013) *Fundamentals of Microelectronics, 2nd edition*. Wiley.
 - [6] E. Ricci (2015) *Informe técnico. TANNER EDA 14.1 CeTAD*, UNLP
 - [7] E. Ricci, J. Serrangeli, M. Agostini, W. Aróztegui, J. Rapallini, M. Quijano, A. Quijano (2016) *Análisis de capacidades y estimación de tiempos de un inversor CMOS*. VII Congreso de microelectrónica aplicada. San Luis, Argentina.
 - [8] E. Ricci, J. Serrangeli, M. Agostini, W. Aróztegui (2017) *Análisis de capacidades y estimación de tiempos de compuertas NAND y NOR CMOS*. VIII Congreso de microelectrónica aplicada. Córdoba, Argentina.
 - [9] E. Ricci, N. Sede, B. Diez, S. Rossi Grad, W. Aróztegui, J. Rapallini (2016) *Implementación en microelectrónica de detector de secuencia programable*. VII Congreso de microelectrónica aplicada. San Luis, Argentina.
 - [10] Taub – Schilling, *Digital integrated circuits*. McGraw – Hill. 1982.
 - [11] H. Taub, *Circuitos digitales y microprocesadores*. McGraw – Hill. 1982.
 - [12] R. Tocci, *Sistemas Digitales: principios y aplicaciones*. Prentice Hall. 1996
 - [13] N. Sede, J. Serrangeli, M. Agostini, E. Ricci, W. Aroztegui (2017) *Diseño y simulación de ADC doble rampa en tecnología de 500 nm*. VIII Congreso de microelectrónica aplicada. Córdoba, Argentina.
 - [14] M. Escobar, M. Capelletti, A. Cédola, J. Osio, J. Rapallini (2014) *Sensor de Imagen CMOS, diseño y fabricación*. Informe de Trabajo Final. Facultad de Ingeniería, UNLP, Argentina
- Otras referencias consultadas:
- [15] P. Gray, R. Mayer (1995) *Análisis y diseño de circuitos integrados analógicos, 3ra edición*. Prentice Hall.
 - [16] K. Ogata (2002) *Modern Control Engineering, 4th edition*. Prentice-Hall.
 - [17] E. Sicard, S. Delmas (2003) *Deep-submicron CMOS circuit design*. Brooks/Cole.
 - [18] A. Lutenberg, G. Venturino (2010) *El progreso tecnológico, atado a la evolución de la electrónica*. Revista Encrucijadas UBA, nro. 50. 99
 - [19] T. Chan, D. A. Johns, K.W. Martin (2011) *Analog Integrated circuit desing, 2nd edition*. Wiley.
 - [20] M. Annaratone (1986) *Digital CMOS circuit design*. Kluwer Academic Publishers.